



①⑨ BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENTAMT

⑫ **Offenl gungsschrift**
⑩ **DE 42 34 777 A 1**

⑤① Int. Cl. 5:
H 01 L 21/338

②① Aktenzeichen: P 42 34 777.7
②② Anmeldetag: 15. 10. 92
②③ Offenlegungstag: 21. 4. 94

DE 42 34 777 A 1

⑦① Anmelder:

Daimler-Benz Aktiengesellschaft, 70567 Stuttgart,
DE

⑦② Erfinder:

König, Ulf, Dr.-Ing., 7900 Ulm, DE; Schäffler,
Friedrich, Dr.rer.nat., 7901 Lonsee, DE

⑤⑥ Für die Beurteilung der Patentfähigkeit
in Betracht zu ziehende Druckschriften:

WAKE, D.;
et.al.: InGaAs/InP Junction Field-Effect Transistors
with High Transconductance Made Using Metal
Organic Vapor Phase Epitaxy. In: IEEE
Electron Device Letters, Vol. EDL-6, No.12, Dec.1983,
S.626-627;
WU, C.J.;
et.al.: Narrow Recess HEMT Technology. In:
J.Electrochem.Soc.SOLID-STATE SCIENCE AND
TECHNOLOGY, Oct.1987, S.2613-2616;
RAULIN, J.Y.;
et.al.: Very high transconductance InGaAs/InP
junction field-effect transistor with submicrometer
gate. In: Appl.Phys.Lett.50 (9), 2. March 1987,
S.515-536;

⑤④ Verfahren zur naßchemischen Strukturierung von Gate-Elektroden

⑤⑦ Die Erfindung betrifft ein Verfahren zur Herstellung von
Gate-Elektroden für Feldeffekttransistoren. Durch eine naß-
chemische Nachbehandlung wird die Gate-Länge reduziert
und die Steilheit des Transistors erhöht.

DE 42 34 777 A 1

Die Erfindung betrifft ein Verfahren zur Gate-Elektroden-Herstellung, das Verwendung findet bei der Herstellung von Schottky-Gate und MIS (Metall Isolator Semiconductor)-Gate-Elektroden für entsprechende Feldeffekttransistoren.

Aus den Veröffentlichungen von P.C. Chao et al. in IEEE, EDL-3, Nr. 1 (1982), S. 24 sowie EDL-4, Nr. 4 (1983), S. 112 sind photolithographische Verfahren zur Herstellung von Schottky-Gate-Feldeffekttransistoren bekannt. Die T-förmigen Gate-Elektroden bestehen aus Aluminium. Die Gate-Elektroden werden durch Winkelbedampfung mit Metall hergestellt.

Des weiteren ist es bekannt Gate-Elektroden mit Hilfe der Elektronenstrahlolithographie herzustellen (Lit.: ?).

Der Erfindung liegt die Aufgabe zugrunde, ein Verfahren zur Herstellung von sub- μm Gate-Elektroden anzugeben, mit denen Feldeffekttransistoren mit einer großen Steilheit technisch einfach und kostengünstig herstellbar sind.

Die Aufgabe wird gelöst durch die im kennzeichnenden Teil des Patentanspruchs 1 angegebenen Merkmale. Vorteilhafte Ausgestaltungen und/oder Weiterbildungen sind den Unteransprüchen zu entnehmen.

Die Erfindung hat den Vorteil, daß photolithographische Verfahren zur Gate-Herstellung verwendet werden können und eine Reduzierung der Gate-Länge nachträglich durch entsprechende Ätzverfahren durchgeführt wird. Durch die geringe Gate-Länge wird die Steilheit des Transistors erhöht.

Die Erfindung wird nachfolgend anhand eines Ausführungsbeispiels näher erläutert unter Bezugnahme auf eine schematische Zeichnung.

Mit photolithographischen Verfahren wird auf der Transistoroberfläche 1 z. B. ein Schottky-Gate hergestellt. Gemäß Fig. 1 besteht das Gate z. B. aus zwei Metallschichten 2, 3, z. B. aus Ti und Au. Die erste Metallschicht 2 aus Ti besitzt eine Schichtdicke von ca. 50 bis 150 nm, die zweite Metallschicht 3 aus Au weist eine Schichtdicke von ca. 100 bis 200 nm auf. Die Gate-Länge beträgt ca. 1,4 μm . Durch eine anschließende naßchemische Behandlung mit einer Lösung, die lediglich die erste Metallschicht 2 angreift, wird die zweite Metallschicht 3 derart unterätzt, daß die Gate-Länge auf etwa 0,5 bis 0,8 μm reduziert wird. Geeignete Ätzlösungen sind z. B. HF-haltige Lösungen, etwa eine gepufferte HF-Lösung oder eine 5% HF-Lösung, aber auch stärker konzentrierte HF-Lösungen. Die Lösung muß so gewählt werden, daß sowohl die zweite Metallschicht als auch das Halbleitermaterial des Transistors nicht oder nur sehr gering angegriffen wird.

Durch die naßchemische Behandlung erhält man ein T-förmiges Gate, das auch als Maske für die Herstellung von Implantationszonen 4 in der Halbleiterschichtenfolge des Transistors und zur Herstellung der Source- und Drain-Kontakte 5 verwendet werden kann (Fig. 1).

Der Überhang der zweiten Metallschicht kann jedoch auch entfernt werden, z. B. durch mechanische Behandlung (z. B. Ultraschall). Es kann aber auch eine nichtmetallische, ätzresistente Schicht, z. B. Si_3N_4 , als zweite Schicht 3 verwendet werden. Si_3N_4 hat den Vorteil, daß HF-haltige Lösungen dieses Material kaum angreifen. Die amorphe Si_3N_4 -Schicht kann nach dem seitlichen Ätzen der Metallschicht 2 wieder entfernt werden.

Die Erfindung ist jedoch nicht auf die Herstellung von Schottky-Gate beschränkt, sondern kann auch bei der

Herstellung von MIS-Gate angewendet werden. Zur Herstellung eines MIS-Gate wird zwischen erster Metallschicht 2 und der Bauelementschichtenfolge 1 eine isolierende Schicht 6 z. B. eine etwa 10 nm bis 30 nm dünne Si_3N_4 -Schicht, auf der Transistoroberfläche 1 aufgebracht (Fig. 1). Anschließend wird mit dem erfindungsgemäßen Verfahren eine T-förmige Gate-Elektrode hergestellt. Die Gate-Elektrode wird als Maske verwendet, um im Source- und Drainbereich die Si_3N_4 -Schicht zu entfernen, vorzugsweise mit Trockenätzverfahren, z. B. RIE, und dann durch geeignete Metallisierungsverfahren die Kontakte 5 für den Transistor herzustellen.

Patentansprüche

1. Verfahren zur Herstellung von Gate-Elektroden, dadurch gekennzeichnet, daß mit photolithographischen Verfahren eine Gate-Elektrode eines Feldeffekttransistors bestehend aus einer ersten Metallschicht und einer zweiten ätzresistenten Schicht hergestellt wird, und daß die erste Metallschicht anschließend derart geätzt wird, daß eine T-förmige Gate-Elektrode mit geringer Gate-Länge gebildet wird.
2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß ein Schottky-Gate hergestellt wird bestehend aus einer ersten Metallschicht aus Ti und einer zweiten Schicht aus Au mit einer Gate-Länge von mehr als 1 μm , und daß die erste Metallschicht mit einer HF-haltigen Lösung geätzt wird, derart, daß die zweite Metallschicht unterätzt wird und die Gate-Länge auf weniger als 1 μm reduziert wird.
3. Verfahren nach einem der Ansprüche 1 oder 2, dadurch gekennzeichnet, daß die zweite Schicht aus Si_3N_4 hergestellt wird.
4. Verfahren nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß ein MIS-Gate hergestellt wird, bei dem zwischen der ersten Metallschicht und der Halbleiterschichtenfolge des Transistors eine dünne isolierende Schicht eingebracht wird, und daß anschließend die erste Metallschicht derart geätzt wird, daß ein T-förmiges MIS-Gate gebildet wird.
5. Verfahren nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß das T-förmige Gate als Maske für die Herstellung der Source- und Drain-Kontakte verwendet wird.

Hierzu 1 Seite(n) Zeichnungen

- Leerseite -

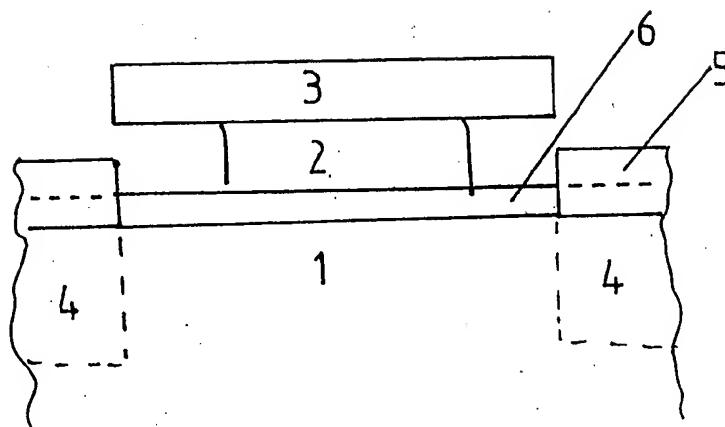


FIG. 1

Mfg. gat electrode for FET - producing gate electrode ph tolithographically and etching metal layer t form T=shap d gat lectr de of sh rter gate length

Patent Number: DE4234777

Publication date: 1994-04-21

Inventor(s): KOENIG ULF DR ING (DE); SCHAEFFLER FRIEDRICH DR RER NA (DE)

Applicant(s): DAIMLER BENZ AG (DE)

Requested Patent: DE4234777

Application Number: DE19924234777 19921015

Priority Number(s): DE19924234777 19921015

IPC Classification: H01L21/338

EC Classification: H01L21/336P, H01L21/338P2C, H01L21/28B2F, H01L21/285B6B, H01L21/3213D, H01L29/423D2

Equivalents:

Abstract

A first metal layer and a second etch-resistant layer are mfd. by a photolithographic process. The first metal layer is subsequently etched so that a T-shape gate electrode of shorter gate length is formed. Pref., the T-shaped gate is used as a mask for the fabrication of the source and drain contacts.

ADVANTAGE - Produces sub-micron gate electrodes with which FETs with great steepness can be produced simply and economically.

Data supplied from the esp@cenet database - I2

Docket # P2001,0216

Applic. # _____

Applicant: A. CAPPELLANI ET AL.

Lerner and Greenberg, P.A.

Post Office Box 2480

Hollywood, FL 33022-2480

Tel: (954) 925-1100 Fax: (954) 925-1101